

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-134045
 (43)Date of publication of application : 12.05.2000

(51)Int.Cl. H03F 3/34
 H03F 1/32

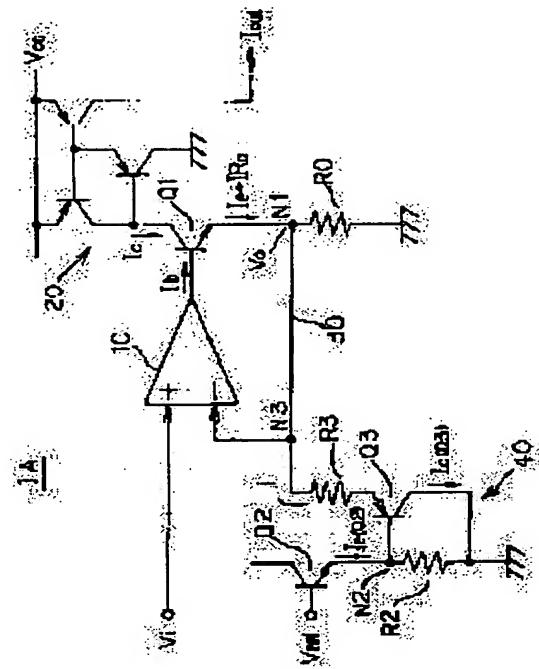
(21)Application number : 10-306771 (71)Applicant : TEXAS INSTR JAPAN LTD
 (22)Date of filing : 28.10.1998 (72)Inventor : FUKUI EIZO

(54) VOLTAGE-TO-CURRENT CONVERSION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance linearity of the voltage-to-current conversion circuit that supplies a current in proportion to an input voltage.

SOLUTION: This voltage-to-current conversion circuit has an operational amplifier circuit 10, a bipolar transistor(TR) Q1, a resistor R0, a current mirror type constant current source circuit 20, a negative feedback signal line 30 that negatively feeds back a potential of a node N1 to the operational amplifier circuit 10, and a voltage correcting circuit 40. Then the current mirror type constant current source circuit 20 outputs an output current I_{out} proportional to an input voltage V_i applied to the operational amplifier 10. The voltage correcting circuit 40 applies a correcting voltage to improve deterioration in the linearity of the voltage-to-current conversion circuit attended on deviation in a voltage V_0 at the node N1 from a specified voltage to the operational amplifier circuit 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-134045

(P2000-134045A)

(43)公開日 平成12年5月12日 (2000.5.12)

(51)Int.Cl.⁷

H 03 F 3/34
1/32

識別記号

F I

マークコード(参考)

H 03 F 3/34
1/32

C 5 J 0 9 0
5 J 0 9 1

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号 特願平10-306771

(22)出願日 平成10年10月28日 (1998.10.28)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72)発明者 福井 栄蔵

大分県速見郡日出町大字川崎字高尾4260番
地 日本テキサス・インスツルメンツ株式
会社内

(74)代理人 100094053

弁理士 佐藤 隆久

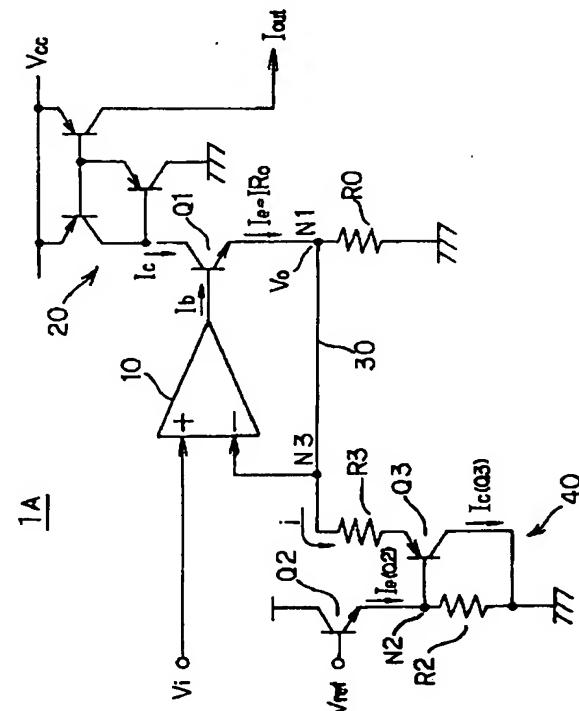
最終頁に統く

(54)【発明の名称】 電圧・電流変換回路

(57)【要約】

【課題】 電圧に比例した電流を供給する電圧・電流変換回路におけるリニアリティ(直線性)を改善する。

【解決手段】 電圧・電流変換回路は、演算增幅回路10と、バイポーラトランジスタQ1と、抵抗器R0と、カレントミラー型定電流源回路20と、ノードN1の電位を演算增幅回路10に負帰還させる負帰還用信号線30と、電圧補正用回路40とを有し、演算增幅回路10に印加した入力電圧Viに比例した出力電流Ioutをカレントミラー型定電流源回路20から出力する。電圧補正用回路40は、ノードN1の電圧V0が規定の電圧からずれることに伴う電圧・電流変換回路の直線性の低下を改善する補正用電圧を演算增幅回路10に印加する。



【特許請求の範囲】

【請求項1】第1の電源端子に接続されており、第1の電流供給端子に供給する電流に応じた電流を第2の電流供給端子に供給する電流源回路と、

上記第1の電流供給端子と第1のノードとの間に接続されている第1のトランジスタと、

上記第1のノードと第2の電源端子との間に接続されている第1の抵抗素子と、

一方の入力端子に入力電圧が印加され、他方の入力端子が上記第1のノードに接続されており、出力端子が上記第1のトランジスタの制御端子に接続されている演算增幅回路と、

上記第1のノードの電圧を補正する補正回路と、
を有する電圧・電流変換回路。

【請求項2】上記補正回路は、第3の電源端子と第4の電源端子との間に直列に接続されている第2のトランジスタ及び第2の抵抗素子と、上記第1のノードと上記第4の電源端子との間に直列に接続されている第3の抵抗素子及び第3のトランジスタとを含み、上記第2のトランジスタの制御素子に基準電圧が印加されており、上記第3のトランジスタの制御端子が上記第2のトランジスタと第2の抵抗素子との接続中点に接続されている請求項1に記載の電圧・電流変換回路。

【請求項3】上記基準電圧を上記入力電圧に応じて制御する基準電圧制御回路を有する請求項2に記載の電圧・電流変換回路。

【請求項4】上記第1及び第3の電源端子に電源電圧が印加されており、上記第2及び第4の電源端子に接地電位が印加されており、上記電流源回路は複数のトランジスタで構成されるカレントミラー型の電流源回路であり、上記第1及び第2のトランジスタはNPN型のバイポーラトランジスタであり、上記第3のトランジスタはPNP型のバイポーラトランジスタであり、上記一方の入力端子は非反転入力端子であり、上記他方の入力端子は反転入力端子である請求項2又は請求項3に記載の電圧・電流変換回路。

【発明の詳細な説明】

【0001】

$$I_F = V_i / R_0$$

ただし、 I_F は演算增幅回路10の出力端子から抵抗器 R_0 に流れる電流であり、 V_i は演算增幅回路10に印加される入力電圧であり、 R_0 は抵抗器 R_0 の抵抗値である。

【0006】この例において、電流 I_F は、第1のバイポーラトランジスタQ1のエミッタから第1の抵抗器R

$$\begin{aligned} I_{R0} &= V_i / R_0 \\ &= I_b + h_{FE} \times I_b \\ &= I_b (1 + h_{FE}) \end{aligned}$$

ただし、 h_{FE} はトランジスタQ1の電流増幅率である。

【0008】第1のバイポーラトランジスタQ1のコレ

【発明の属する技術分野】本発明は電圧に比例した電流を供給する電圧・電流変換回路に関するものであり、特に、リニアリティ（直線性）を改善した電圧・電流変換回路に関する。

【0002】

【従来の技術】電圧・電流変換回路は種々の分野で利用されている。そのような電圧・電流変換回路の用途の1つとして、レーザダイオードのドライバ回路が知られている。

10 【0003】図4はそのようなレーザダイオードのドライバ回路に用いられる従来の電圧・電流変換回路の回路図である。図4に図解した電圧・電流変換回路1は、演算增幅回路10と、第1のバイポーラトランジスタQ1と、この第1のバイポーラトランジスタQ1のコレクタに接続されたカレントミラー型定電流源回路20と、第1のバイポーラトランジスタQ1のエミッタに接続された第1の抵抗器R0と、第1のバイポーラトランジスタQ1のエミッタと第1の抵抗器R0との接続点である第1のノードN1における電圧を演算增幅回路10の反転

20 (−) 入力端子に負帰還する負帰還用信号線30とを有する。演算增幅回路10の第1の入力端子としての非反転(+)入力端子には、変換の対象となる入力電圧 V_i が印加されている。

【0004】演算增幅回路10を用いた電圧・電流変換回路の基本動作原理を述べる。演算增幅回路10は、非反転(+)入力端子に印加された変換の対象となる入力電圧 V_i と、負帰還用信号線30から演算增幅回路10の反転(−)入力端子に負帰還されるノードN1の電圧 V_0 との電圧差 $\Delta V = V_i - V_0$ が0になるように演算增幅回路10の出力端子から第1のバイポーラトランジスタQ1のベースにベース電流 I_b を出力する。このベース電流 I_b に応じて第1のバイポーラトランジスタQ1のエミッタ電流 I_e が第1の抵抗器R0に流れ、ノードN1に電圧 V_0 を発生する。演算增幅回路10の出力端子から第1のバイポーラトランジスタQ1を介して抵抗器R0に流れる電流 I_F は下記式で示される。

【0005】

.. (1)

40 0に流れる電流 I_{R0} （または第1のバイポーラトランジスタQ1のエミッタ電流 I_e ）に等しい。すなわち、 $I_F = I_{R0} = I_e$ である。よって、下記式2が成立する。

【0007】

.. (2)

クタに一定の電流（コレクタ電流 I_C ）を供給するカレントミラー型定電流源回路20は、カレントミラー型定

電流源回路の基本特性として、第1のバイポーラトランジスタQ1のコレクタに流す電流（これをコレクタ電流という） I_C と等しい出力電流 I_{out} を、他方の出力端子から出力する。この出力電流 I_{out} が入力電圧 V_i を

$$I_{out} = I_C = h_{FE} \times I_b$$

【0010】式1～3から下記式が得られる。

$$I_{out} = (V_i / R_o) \times (h_{FE} / (1 + h_{FE}))$$

【0012】このように、図4の電圧・電流変換回路によれば入力電圧 V_i に比例した出力電流 I_{out} が得られる。

$$I_{out} = I_S (1 + V_{ce} / V_{EA})$$

ただしこれはトランジスタQ1の接合飽和電流であり、 V_{ce} はトランジスタQ1のコレクタ・エミッタ間の電圧であり、 V_{EA} はトランジスタQ1のアーリー(Early)電圧であり、 V_{be} はトランジスタQ1のベース・エミッタ間の電圧であり、 V_{th} はトランジスタQ1のしきい値電圧 V_{th} である。

【0015】

【発明が解決しようとする課題】しかしながら、実験によれば、図4に図解した電圧・電流変換回路の電圧・電流の直線性（リニアリティ）は、図2に示すように、曲線CV3となり、理想的な直線性を示す曲線CV1の特性とはならない。なお、曲線CV1は特性の低下（劣化）のない、換言すれば、直線性が完全な、理想的な電圧・電流変換回路の特性であり、入力電圧 V_i と出力電流 I_{out} とが完全に比例し、直線性を示している。

【0016】電圧・電流変換回路の特性に直線性がない場合、たとえば、そのような電圧・電流変換回路をレーザダイオードのドライバ回路に使用したとき、希望するレーザの発光特性が得られないという問題に遭遇する。上述した例示においては、特に、入力電圧 V_i の増加に伴う特性の劣化が大きい。したがって、図4の電圧・電流変換回路をレーザダイオードのドライバ回路として使用すると、高い電圧を印加したときのレーザの出力特性が希望する値にならない。

【0017】本発明の目的は、直線性に優れ、長時間安定に動作可能な電圧・電流変換回路を提供することにある。換言すれば、本発明は、電圧・電流変換回路の直線性を向上することを目的とする。

【0018】

【課題を解決するための手段】本願発明者が、図4を参考して述べた電圧・電流変換回路の直線性の低下（または理想的な特性からのずれ、劣化）を考察したところ、その原因が下記になることを見いだした。入力電圧 V_i が変化するとノードN1の電圧 V_0 も変化し、トランジスタQ1のコレクタ・エミッタ電圧 V_{ce} が変化する。その結果、式5から明らかのように、出力電流 I_{out} がずれて電圧・電流変換回路の直線性が低下する。すなわち、トランジスタQ1のコレクタ・エミッタ電圧 V_{ce} が

変換した電流となる。なお、コレクタ電流 I_C は、エミッタ電流 I_e と同様、 $I_C = h_{FE} \times I_b$ として規定される。すなわち、下記式で表される。

【0009】

… (3)

【0011】

… (4)

【0013】なお、出力電流 I_{out} は式3から下記のごとく規定できる。

【0014】

$I_{out} = I_S (V_{be} / V_{th})$ … (5)

低下するとトランジスタQ1の空乏層が広がる。特にバイポーラトランジスタQ1はベース幅が狭いのでコレクタ電流 I_C も減少する。カレントミラー型定電流源回路20からはコレクタ電流 I_C と同じ出力電流 I_{out} が输出されるから、コレクタ電流 I_C の低下とともに出力電流 I_{out} が低下する。本願発明者は、上述したノードN1における電圧 V_0 の低下を補正する電圧補正回路

20 20を付加して、電圧・電流変換回路の直線性を改善するという構想のもとに本願発明を考案した。

【0019】したがって、本発明によれば、第1の電源端子に接続されており、第1の電流供給端子に供給する電流に応じた電流を第2の電流供給端子に供給する電流源回路と、上記第1の電流供給端子と第1のノードとの間に接続されている第1のトランジスタと、上記第1のノードと第2の電源端子との間に接続されている第1の抵抗素子と、一方の入力端子に入力電圧が印加され、他方の入力端子が上記第1のノードに接続されており、出力端子が上記第1のトランジスタの制御端子に接続されている演算增幅回路と、上記第1のノードの電圧を補正する補正回路とを有する電圧・電流変換回路が提供される。

【0020】特定的には、上記補正回路は、第3の電源端子と第4の電源端子との間に直列に接続されている第2のトランジスタ及び第2の抵抗素子と、上記第1のノードと上記第4の電源端子との間に直列に接続されている第3の抵抗素子及び第3のトランジスタとを含み、上記第2のトランジスタの制御素子に基準電圧が印加され40 40ており、上記第3のトランジスタの制御端子が上記第2のトランジスタと第2の抵抗素子との接続中点に接続されている。

【0021】好適には、上記基準電圧を上記入力電圧に応じて制御する基準電圧制御回路を有する。

【0022】更に、好適には、上記第1及び第3の電源端子に電源電圧が印加されており、上記第2及び第4の電源端子に接地電位が印加されており、上記電流源回路は複数のトランジスタで構成されるカレントミラー型の電流源回路であり、上記第1及び第2のトランジスタは50 NPN型のバイポーラトランジスタであり、上記第3の

トランジスタはP N P型のバイポーラトランジスタであり、上記一方の入力端子は非反転入力端子であり、上記他方の入力端子は反転入力端子である。

【0023】

【発明の実施の形態】第1の実施の形態

本発明の電圧・電流変換回路の第1の実施の形態の電圧・電流変換回路を図1を参照して述べる。図1に図解した電圧・電流変換回路は図3に図解した電圧・電流変換回路と類似するが、図4に図解した回路に電圧補正用回路40が付加されている。

【0024】図1に図解した電圧・電流変換回路1Aは、演算增幅回路10と、電流変換用トランジスタとしてのN P N型バイポーラトランジスタ（以下、第1のトランジスタと呼ぶ）Q1と、この第1のバイポーラトランジスタQ1のコレクタに接続されたカレントミラー型定電流源回路20と、第1のバイポーラトランジスタQ1のエミッタに接続された電流・電圧変換用抵抗器としての第1の抵抗器（又は抵抗素子）R0と、第1のバイポーラトランジスタQ1のエミッタと第1の抵抗器R0との接続点である第1のノードN1における電圧を演算增幅回路10の反転入力端子に入力する負帰還用信号線30と、電圧補正用回路40を有する。演算增幅回路10の第1の入力端子としての非反転入力端子には、変換の対象となる入力電圧Viが印加されている。

【0025】カレントミラー型定電流源回路20は、3個のP N P型バイポーラトランジスタを用いた公知の回路構成をしており、電源電圧源Vccから電圧を供給されて、第1の出力端子から第1のバイポーラトランジスタQ1のコレクタに一定の電流を供給するように、図解のごとく接続されている。カレントミラー型定電流源回路20の動作原理から、第1のバイポーラトランジスタQ1のコレクタに流れる電流（コレクタ電流Ic）と同じ値の電流が出力電流Ioutとして出力される。

【0026】図1に図解した電圧・電流変換回路1Aは、基本的には、図4を参照して述べた電圧・電流変換回路1と同様であるが、電圧補正用回路40を付加したことが異なるので、下記の記述は特に、電圧補正用回路40を付加した内容に言及する。

【0027】電圧補正用回路40は、補正用基準電圧Vrefがベースに印加されたN P N型バイポーラトランジスタ（以下、第2のトランジスタという）Q2と、第2のトランジスタQ2のエミッタに一端が接続された第2の抵抗器R2と、第2のトランジスタQ2のエミッタと第2の抵抗器R2との接続点（ノードN2）にベースが接続されたP N P型バイポーラトランジスタ（以下、第3のトランジスタという）Q3と、第3のトランジスタQ3のエミッタに一端が接続され他端が演算增幅回路10の反転入力端子と負帰還用信号線30との接続点（ノードN3）に接続された第3の抵抗器R3とを有する。第2のトランジスタQ2のコレクタには電源電圧Vccが

印加され、第2の抵抗器R2の他端と第3のトランジスタQ3のコレクタが共通接続されて接地されている。

【0028】電圧補正用回路40の動作を述べる。電圧補正用回路40において、第2のトランジスタQ2のベースに補正用基準電圧Vrefが印加されると第2のトランジスタQ2の電流増幅率h_{FE}（Q2）に応じたエミッタ電流Ie（Q2）が流れる。よって、第2の抵抗器R2において電圧降下V_{drop}（R2）=Ie（Q2）×R2（R2は第2の抵抗器R2の抵抗値である）が発生する。この電圧降下V_{drop}（R2）によるノードN2の電圧が第3のトランジスタQ3のベースに印加されて第3のトランジスタQ3には、第3のトランジスタQ3の電流増幅率h_{FE}（Q3）に応じたエミッタ電流Ie（Q3）が第3の抵抗器R3に流れる。よって、第3の抵抗器R3において電圧降下V_{drop}（R3）=Ie（Q3）×R3（R3は第3の抵抗器R3の抵抗値である）が発生する。その結果、ノードN3から第3のトランジスタQ3のエミッタに向かって電流iが流れる。

【0029】電流iの発生は、負帰還用信号線30を介して演算增幅回路10の反転入力端子に負帰還されていたノードN1の電位V0を電圧降下V_{drop}（R3）=Ie（Q3）×R3だけ低下させることを意味する。その結果、図4を図解した述べた演算增幅回路10の反転入力端子への負帰還電圧V0より低い電圧（V0-V_{drop}（R3））が、図1の演算增幅回路10の演算增幅回路10の反転入力端子へ負帰還される。その結果、演算增幅回路10における2つの入力電圧の差=Vi-（V0-V_{drop}（R3））は、図4に図解した電圧差=Vi-V0よりは大きくなり、図1における第1のバイポーラトランジスタQ1のベース電流Ibは図4に図解した第1のバイポーラトランジスタQ1のベース電流Ibより大きくなる。この第1のバイポーラトランジスタQ1のベース電流Ibの増加は第1のバイポーラトランジスタQ1のコレクタ電流Icの増加となる。その結果、カレントミラー型定電流源回路20の他方の出力端子から出力される出力電流Ioutも第1のバイポーラトランジスタQ1のコレクタ電流Icに増加にともなって増加する。その結果、図1の電圧・電流変換回路1Aの出力電流Ioutは、図2の曲線C V3に図解した直線性の低下が改善されて、理想的な特性曲線C V1に接近する。

【0030】電圧補正用回路40を付加した上述の動作を除く電圧・電流変換回路1Aの基本事項は、図4を参照して述べた事項と同様である。すなわち、電圧補正用回路40を付加する前の、図4に図解した電圧・電流変換回路1の動作原理は図1に図解した電圧・電流変換回路1Aにも適用されるから、図1に図解した電圧・電流変換回路1Aも基本的には、上述した式1～5に基づいて、演算增幅回路10の非反転入力端子に印加される入力電圧Viに応じた出力電流Ioutをカレントミラー型定電流源回路20の第2の出力端子から出力する。ただ

し、図1の電圧・電流変換回路1Aにおいては、上述したように、電圧補正用回路40を付加したことによる、直線性の改善が図られている。

【0031】実験例

図1の電圧・電流変換回路1Aにおいて、第1の抵抗器R0の抵抗値 $R_0 = 150\Omega$ 、第2の抵抗器R2の抵抗値 $R_2 = 20\text{K}\Omega$ 、第3の抵抗器R3の抵抗値 $R_3 = 400\text{K}\Omega$ 、電源電圧 $V_{cc} = 5\text{V}$ 、補正用基準電圧 $V_{ref} = 1.5\text{V}$ （入力電圧 V_i の範囲のほぼ中間値で固定）とした場合のシミュレーション結果を図2の曲線CV2に示す。本実施の形態に基づく実験値の曲線CV2は、理想的な特性曲線CV1に接近しており、図4の電圧・電流変換回路1の場合の特性曲線CV3に比較して、直線性が相当改善されている。

【0032】図1に図解した電圧・電流変換回路1Aを集積回路として実現した場合、演算增幅回路10、カレントミラー型定電流源回路20、電圧補正用回路40の第2のトランジスタQ2および第3のトランジスタQ3はIC回路内に収容されるが、第1の抵抗器R0と、第2の抵抗器R2と、第3の抵抗器R3とは、ICパッケージの外部に設けることが望ましい。

【0033】第2実施の形態

図3に本発明の第2の実施の形態の電圧・電流変換回路1Bを図解する。電圧・電流変換回路1Bは、図1に図解した電圧・電流変換回路1Aに電圧補正用電圧発生回路50を付加したものである。電圧補正用電圧発生回路50は、演算增幅回路10に印加される入力電圧 V_i に応じて、電圧補正用回路40の第2のトランジスタQ2のベースに印加される補正用基準電圧 V_{ref} を変化させる回路である。

【0034】図1に図解した電圧・電流変換回路1Aにおいては、上記実験例の曲線CV2として例示したように、補正用基準電圧 V_{ref} を1.5Vに固定したので、補正用基準電圧 V_{ref} から離れるに従い、理想的な特性曲線CV1からずれてくる。図2に図解した例で、入力電圧 V_i が補正用基準電圧 V_{ref} より低い領域では理想的な特性からのずれは無視できる程度に小さく、入力電圧 V_i が補正用基準電圧 V_{ref} より相当高くなると理想的な特性からのずれは大きくなる。電圧補正用電圧発生回路50は上述した補正用基準電圧 V_{ref} を固定したことに起因する補正の限界を改善するため、入力電圧 V_i の大きさに応じて第2のトランジスタQ2のベースに印加する補正用基準電圧 V_{ref} を変化させる。

【0035】本例においては、入力電圧 V_i が低い領域では理想的な特性曲線とのずれは少ないので、入力電圧 V_i が所定値、たとえば、1.5V以上のとき、入力電圧 V_i の増加に従い補正用基準電圧 V_{ref} を幾分高める。もちろん、入力電圧 V_i の全範囲について補正を行うこともできる。このように電圧補正用電圧発生回路50を設けることにより、図3の電圧・電流変換回路1B

は、図2の理想的な特性曲線CV1の特性に非常に接近した直線性を有する電圧・電流変換を行うことができる。

【0036】本発明の電圧・電流変換回路の第2の実施の形態によれば、図2の曲線CV1とほぼ同じ直線性の電圧・電流変換特性を得ることができる。

【0037】本発明の電圧・電流変換回路の実施に際しては、上述した実施の形態として述べた回路構成に限らず、種々の変形態様をとることができる。たとえば、第1のバイポーラトランジスタQ1、第2のトランジスタQ2、第3のトランジスタQ3の導電性を図解のものと逆にすることもできる。たとえば、第1のトランジスタQ1としてNPN型からPNP型に、第2のトランジスタQ2としてNPN型からPNP型に、第3のトランジスタQ3としてPNP型からNPN型に変えることもできる。

【0038】図1、図3には、入力電圧 V_i を演算增幅回路10の非反転入力端子に印加する例を述べたが、入力電圧 V_i を反転入力端子に印加し、負帰還用信号線30からの電圧を非反転入力端子に印加するようにしてもよい。

【0039】上述した例示は、本発明の電圧・電流変換回路をレーザダイオードのドライバ回路に用いる場合について述べたが、本発明の電圧・電流変換回路はレーザダイオードのドライバ回路への用途に限定されるわけではなく、種々の電圧・電流変換回路として使用できる。

【0040】

【発明の効果】本発明によれば、電圧補正用回路、さらに望ましくは、電圧補正用電圧発生回路という簡単な回路の付加で、電圧・電流変換回路の直線性を著しく向上させることができた。

【図面の簡単な説明】

【図1】図1は本発明の電圧・電流変換回路の第1の実施の形態の回路図である。

【図2】図2は図1に図解した電圧・電流変換回路の特性および従来の電圧・電流変換回路の特性を図示したグラフである。

【図3】図3は本発明の電圧・電流変換回路の第2の実施の形態の回路図である。

【図4】図4は背景技術としての電圧・電流変換回路の回路図である。

【符号の説明】

1, 1A, 1B・・電圧・電流変換回路

10・・演算增幅回路

20・・カレントミラー型定電流源回路

30・・負帰還用信号線

40・・電圧補正用回路

Q2～Q3・・第2～第3のバイポーラトランジスタ

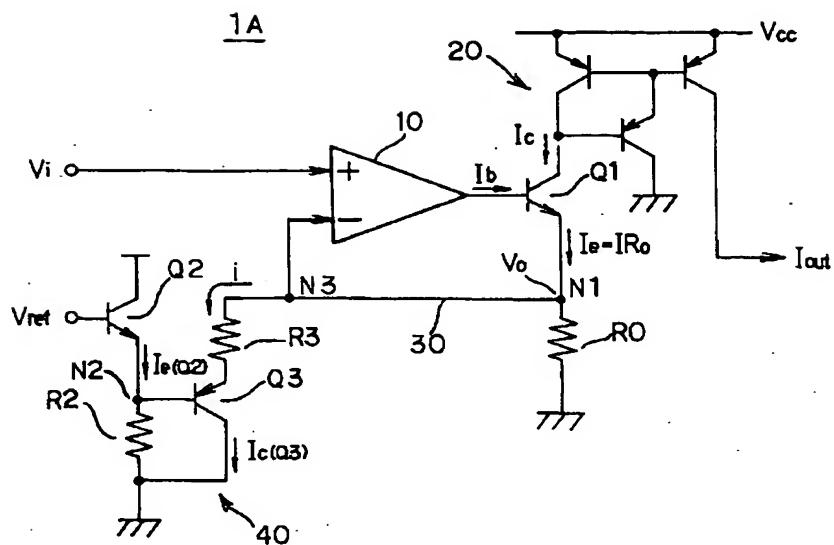
R2～R3・・第2～第3の抵抗器

50・・電圧補正用電圧発生回路

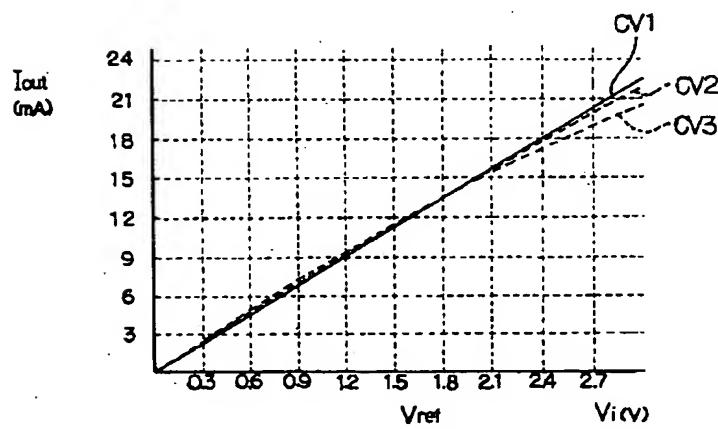
Q1 .. 第1のバイポーラトランジスタ

R0 .. 第1の抵抗器(電流・電圧変換用抵抗器)

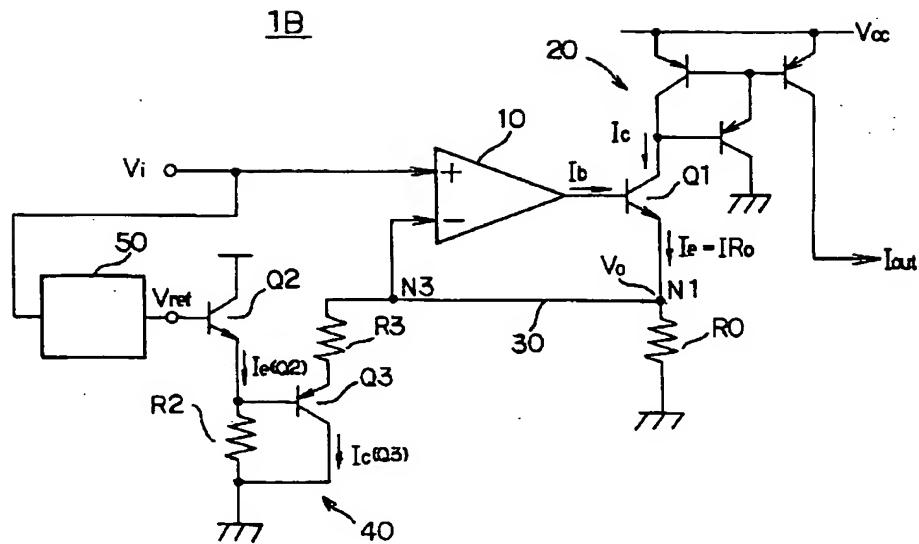
【図1】



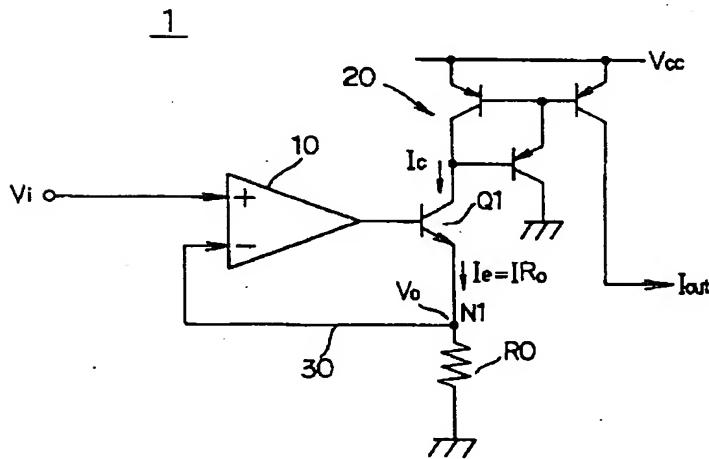
【図2】



[図3]



【図4】



フロントページの続き

F ターム(参考) 5J090 AA03 CA21 FA01 GNO1 HA08
HA25 KA00 KA01 KA09 KA11
MA13 MA21 SA00 TAO2
5J091 AA03 CA21 FA01 HA08 HA25
KA00 KA01 KA09 KA11 MA13
MA21 SA00 TAO2 UW08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.